

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-123583

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 1/24

G 0 6 K 17/00

B

G 0 6 F 1/ 00

3 5 0 B

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願平6-263464

(22) 出願日 平成6年(1994)10月27日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 大野 恭裕

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(72) 発明者 海野 雄策

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

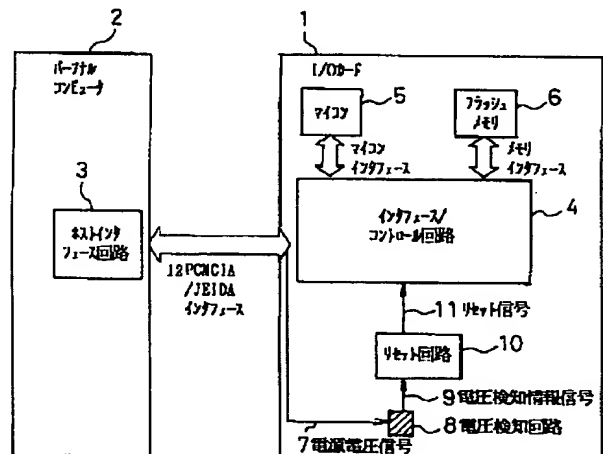
(74) 代理人 弁理士 工藤 宜幸 (外2名)

(54) 【発明の名称】 内部状態確定装置

(57) 【要約】

【目的】 ホスト側装置から I/Oカードに対する初期供給電圧信号から所定電力供給をするまでの間に、I/Oカードの内部状態の確定を簡単な回路で、ホスト側装置に負担を掛けずに行い得る。

【構成】 ホストインタフェース回路3からインタフェース/コントロール回路4に与えられている電源電圧信号7は電圧検知回路8に与えられる。電圧検知回路8で検知された電圧検知情報信号9はリセット回路10に与えられる。リセット回路10は電圧検知情報信号9から必要に応じてリセット信号11を出力し、インタフェース/コントロール回路4をリセットさせる。電圧検知回路8は、具体的には電源電圧信号7から電圧検知し、2V検出信号20、又は4.5V検出信号21を出力してリセット回路10に与えリセットするものである。



第1実施例のシステムの構成図

【特許請求の範囲】

【請求項 1】 ホスト装置から信号を与えられる接続対象装置の内部状態を確定するための内部状態確定装置であって、

ホスト装置からの電力供給信号の変化を検知する検知手段と、

この検知によって電力供給信号の変化に応じて接続対象装置の内部状態を所定状態に確定させる内部状態確定手段とを備えたことを特徴とする内部状態確定装置。

【請求項 2】 ホスト装置から信号を与えられる接続対象装置の内部状態を確定するための内部状態確定装置であって、

ホスト装置からの電力供給信号を検知する検知手段と、ホスト装置とのインタフェースを行う接続対象装置のインタフェース手段、又は接続対象装置のクロック発生手段と、

検知した電力供給信号の値によって、所定インタフェース動作、又は所定クロック発生動作を行わせ、内部状態を確定する内部状態確定手段とを備えたことを特徴とする内部状態確定装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は内部状態確定装置に関し、例えば、ICカードメモ리카ードやI/O（入力/出力）カードなどに適用し得るものである。

【0002】

【従来の技術】 近年、ICカードが普及しつつある。ICカードとしては例えば、ICメモ리카ードや、I/Oカードなどの利用が多くなっている。このICメモ리카ードやI/Oカードの仕様については、ガイドラインが30 社団法人日本電子工業振興協会（JEIDA）からパソコン用ICメモ리카ードの標準仕様として発行されている。

【0003】 更に、上記パソコン用ICメモ리카ードの標準仕様は、米国のICメモ리카ード標準化団体であるPCMCIA（PC Memory Card International Association）とも協議して、標準化されているものである。

【0004】 このような標準仕様によって、パーソナルコンピュータなどで使用されるICメモ리카ードやI/O40 カードが標準化され、各社から発表されつつある。

【0005】 そこで、具体的にはJEIDAのICメモ리카ードガイドライン（バージョン4.0）で規格化されているシステム（例えば、パーソナルコンピュータ）とICメモ리카ードにおいては、リセット信号が規格化されておらず、ソフトリセット機能を含むカードコンフィギュレーションレジスタも規格化されていなかった。

【0006】 そのため、上記規格に準拠するICメモ리카ード、I/Oカードでは、システム装置に対してリセット信号端子は備えられていなかった。

【0007】

【発明が解決しようとする課題】 従って、上述のようなI/Oカードや、ICメモ리카ードでは、システム装置側からリセットをかけることができないという問題があった。

【0008】 例えば、同一I/Oカードでデュアルオペレーティングボルテージカード（2種類の供給電源電圧信号で動作し得るカード）の場合、システム装置側のホスト装置でI/Oカードが出力している電圧信号V_{sense}ピンの信号をリードして、I/Oカードへの初期の供給電圧信号（電源電圧信号、例えば、5V）を決めて、その電圧信号をI/Oカードに印加し、低い供給電圧信号（電源電圧信号）として、例えば、3.3Vで動作させる時に、供給電圧信号を3.3Vに変更して、I/Oカードを動作させる。この場合に一旦初期供給電圧信号（例えば5V）で印加した後、3.3Vを印加させるため、この過程でI/Oカードの内部状態が安定せず、状態が安定的に保持される保証がないという問題が20 起こり得た。

【0009】 以上のようなことから、ホスト側装置からICメモ리카ード又はI/Oカードに対する初期供給電圧信号から所定電力供給をするまでの間に、ICメモ리카ード又はI/Oカードの内部状態の確定を簡単な回路で、ホスト側装置に負担を掛けずに行い得る内部状態確定装置の提供が要請されている。

【0010】

【課題を解決するための手段】 そこで、この発明は、ホスト装置から信号を与えられる接続対象装置の内部状態を確定するための内部状態確定装置であって、ホスト装置からの電力供給信号の変化を検知する検知手段と、この検知によって電力供給信号の変化に応じて接続対象装置の内部状態を所定状態に確定させる内部状態確定手段とを備えることで、上述の課題を解決するものである。

【0011】

【作用】 この発明によれば、ホスト装置から与えられる電力供給信号を検知して、この電力供給信号の変化に対する検知信号によって、接続対象装置の内部状態を所定状態に確定することができる。

【0012】 従って、何時でも電力供給信号が変化すると共に、接続対象装置の内部状態を確定しておくことができる。このため、ホスト装置からは電力信号を供給することだけで、他に何も処理を行う必要がない。また、電力供給信号に対する検知手段の検知に従って、予め定められた内部状態にさせるのであるから、手間がかかる判断を行う必要がなく、迅速に確定することができる。

【0013】

【実施例】 次にこの発明をパーソナルコンピュータシステムのI/Oカードに適用した場合の好適な実施例を図面を用いて説明する。

【0014】 『第1実施例』： 『システムの構

3

成』： 図1は第1実施例のパーソナルコンピュータシステムの機能構成図である。この図1において、このシステムは主にI/Oカード1と、パーソナルコンピュータ2とから構成されている。このI/Oカード1はフラッシュメモリによるPCMCIA/JEIDA仕様準拠のカードである。また、このI/Oカード1とパーソナルコンピュータ2との間はPCMCIA/JEIDA仕様準拠のインタフェース12によって接続される。

【0015】更に、パーソナルコンピュータとしては、例えば、沖電気工業株式会社製のノートブック型パーソナルコンピュータif386AX60シリーズなどを使用することができる。このパーソナルコンピュータはPCMCIA2.0/JEIDA4.1準拠のインタフェース機能を1チャンネル備えている。

【0016】このパーソナルコンピュータ2は、具体的にはホストインタフェース回路3を備え、I/Oカード1とインタフェースし得るように構成されている。また、一方、I/Oカード1は、インタフェース/コントロール回路4と、マイクロコンピュータ5と、フラッシュメモリ6と、電圧検知回路8と、リセット回路10とから構成されている。

【0017】このI/Oカード1においては、電圧検知回路8と、リセット回路10とは特徴的な構成である。

【0018】インタフェース/コントロール回路4とホストインタフェース回路3とはPCMCIA/JEIDA仕様準拠のインタフェース12によって接続される。このPCMCIA/JEIDA仕様準拠のインタフェース12のインタフェース信号の一部信号として、ホストインタフェース回路3からインタフェース/コントロール回路4に与えられている電源電圧信号7は電圧検知回路8に与えられている。

【0019】電圧検知回路8で検知された電圧検知情報信号9はリセット回路10に与えられる。リセット回路10は電圧検知情報信号9から必要に応じてリセット信号11を出力し、インタフェース/コントロール回路4に与えられる。

【0020】また、インタフェース/コントロール回路4には、マイクロコンピュータ5と、フラッシュメモリ6とが接続されている。このマイクロコンピュータ5としては、例えば、沖電気工業株式会社製の1チップマイコンであるMSM65516を使用することができる。

【0021】このマイクロコンピュータ5は、I/Oカード1の全回路を制御し、パーソナルコンピュータ2とI/Oカード1のフラッシュメモリ6間のメモリデータの書き込みと読み出しとを制御するように動作するものである。

【0022】電圧検知回路8は、具体的には電源電圧信号7から電圧検知し、2V検出信号20、又は4.5V検出信号21を出力してリセット回路10に与えるものである。

4

【0023】(リセット回路10の詳細)： 図2はリセット回路10の具体的な回路図である。この図2において、リセット回路10は、具体的にはフリップフロップ10a、10bと、NAND回路10cと、OR回路10dとから構成されている。電圧検知回路8からの2V検出信号20は、リセット回路10のOR回路10dに与えられる。

【0024】更に、電圧検知回路8からの4.5V検出信号21はリセット回路10のフリップフロップ10aのデータ入力に与えられる。更にまた、フリップフロップ10a、10bにはクロックCLKも与えられる。これらの信号からOR回路10dの出力によってリセット信号11を出力し、インタフェース/コントロール回路4に与えている。

【0025】『動作』： 図3は第1実施例のパーソナルコンピュータシステムの動作波形図である。

【0026】デュアルオペレーティングボルテージのI/Oカードの場合、先ずパーソナルコンピュータ2側からPCMCIA/JEIDA準拠のインタフェース12にあるVsenseピンの信号をリードして、I/Oカード1の初期電源電圧信号を5Vに決め、最初にその5VでI/Oカード1を動作させる。その後で低い電源電圧信号3.3Vに切り替えて、I/Oカード1を動作させる。

【0027】上記電源電圧信号7の5Vから3.3Vへの変更の様子は、図3(a)に示す通りである。電圧検知回路8において、図3(a)の電源電圧信号7の変動に応じて図3(b)に示すように電圧検知情報信号9を出力する。つまり、2V検出信号20と、4.5V検出信号21とを電源電圧信号7の変動に応じて出力するものである。これらの電圧検出信号20、21によってリセット回路10のNAND10cで図3(c)の波形を作り、リセット信号11が図3(d)に示すような信号で出力され、インタフェース/コントロール回路4に与えられる。

【0028】即ち、図3(d)のリセット信号11の波形は、初期動作の電源電圧信号0V~2V間で、リセットがかかり、次に初期電源電圧信号5V前の4.5Vから5V間で再びリセットがかかる。その後、JEIDAで規定されている5Vから3.3Vへの切り替え時にリセットが掛かるものである。

【0029】(第1実施例の効果)： 以上のように第1実施例によれば、I/Oカード1に電圧検知回路8及びリセット回路10を備え、電圧検知情報信号9に基づき、I/Oカード1のインタフェース/コントロール回路4などの回路に対するリセット信号11を生成することによって、I/Oカード1は図3に示したように電源電圧信号7が0Vから初期電源電圧5Vに変更する時、及び初期電源電圧5Vから低動作電源電圧3.3Vに変更する時に、必ずリセットを掛けることができる。

5

【0030】これによって、I/Oカード1の内部の状態を確定することができるのである。従って、電源電圧信号の変更後は、パーソナルコンピュータ2に備えられているCPUは、I/Oカード1に対してI/Oカード1内のレジスタや他の内部回路に対して初期値を書き込む必要がないため、CPUの初期設定時間が短縮され、処理負担を軽減できる。

【0031】(変形例)： 以上はJEIDA準拠のICメモ리카ードガイドラインバージョン4.0準拠のパーソナルコンピュータ及びI/Oカードの場合であるが、リセット信号を持つことと、ソフトリセットビットを持つカードコンフィギュレーションレジスタを持つことを仕様化しているバージョン4.1準拠のパーソナルコンピュータ及びI/Oカードの場合でも、パーソナルコンピュータのCPUがI/Oカードのレジスタに対して初期値を書き込む必要がないので、CPUの処理負担が軽減でき、初期設定時間を短縮できる。

【0032】『第2実施例』： 上述の第1実施例では電源電圧信号の変更によって、I/Oカード内のレジスタや内部回路の状態を安定させるため、リセット回路を用いたが、この『第2実施例』では、電圧検知回路8による電圧検知情報信号9によって、パーソナルコンピュータとのインタフェース及び動作周波数を電源電圧信号によって最適なものにし、内部状態を安定化させることを可能としたI/Oカード1Aを実現する』ものである。

【0033】そこで、このI/Oカード1Aは、上述の第1実施例のI/Oカード1と特徴的に異なることは、電圧検知回路8からの電圧検知情報信号9を取り込み、セレクト信号31を出力するセクタ回路30を備えていること。更に、特徴はインタフェース/コントロール回路4を5.0V用インタフェース回路41と、3.3V用インタフェース回路42と、5.0V用クロックジェネレーション回路43と、3.3V用クロックジェネレーション回路44と、割り込み回路40とから構成されていることである。

【0034】尚、この5.0V用クロックジェネレーション回路43には、5.0V用発振振動子45を有する。3.3V用クロックジェネレーション回路44にも、3.3V用発振振動子46を有する。

【0035】セクタ回路30から出力されるセレクト信号31は、上記インタフェース/コントロール回路4の5.0V用インタフェース回路41と、3.3V用インタフェース回路42と、5.0V用クロックジェネレーション回路43と、3.3V用クロックジェネレーション回路44と、割り込み回路40とに与えるものである。更に、割り込み回路40はセクタ信号から割り込み信号35を生成し、マイクロコンピュータ5へ与えるものである。この割り込み信号35によって、マイクロコンピュータ5は、セレクト信号31によって、インタ

6

フェース回路41、42とクロックジェネレーション回路43、44とが選択されている間に、割り込みがなされる。

【0036】(セレクト回路30)： 図5はセレクト回路30の具体的な回路構成図である。この図5において、電圧検知回路8からの2V検出信号20はAND回路30bに与えられ、4.5V検出信号21はインバータ30aに与えられる。この4.5V検出信号21は5.0V用回路セレクト信号33として出力される。インバータ30aの出力信号はAND回路30bに与えられ、AND出力信号を3.3V用回路セレクト信号32として出力するものである。

【0037】(5.0V用インタフェース回路41と、3.3V用インタフェース回路42)： 図6は5.0V用インタフェース回路41と、3.3V用インタフェース回路42との具体的な回路構成図である。この図6において、5.0V用インタフェース回路41と、3.3V用インタフェース回路42とは5.0V用入力バッファ61～63を備え、インタフェース12からの信号を増幅し、これらの出力信号はセクタ81～83に与えられる。更に、3.3V用入力バッファ71～73も備え、インタフェース12からの信号を受信し、これらの出力信号もセクタ81～83に与えられる。

【0038】セクタ81～83は、セクタ回路30からの3.3V用回路セレクト信号32と、5.0V用回路セレクト信号33とを与えられ、それぞれセレクト信号を内部回路へ与えるものである。

【0039】(5.0V用クロックジェネレーション回路43と、3.3V用クロックジェネレーション回路44)： 図7は5.0V用クロックジェネレーション回路43と、3.3V用クロックジェネレーション回路44との具体的な回路構成図である。この図7において、5.0V用発振回路64は、5.0V用発振振動子45と、インバータ64aと、抵抗器64bと、コンデンサ64c、64dとによって所定周波数で発振し、発振信号はセクタ84に与えられる。

【0040】また、3.3V用発振回路74は、3.3V用発振振動子46と、インバータ74aと、抵抗器74bと、コンデンサ74c、74dとによって所定周波数で発振し、発振信号はセクタ84に与えられる。

【0041】セクタ84は、セレクト回路30から3.3V用回路セレクト信号32と、5.0V用回路セレクト信号33とによって、上記発振信号のいずれかを内部回路へのシステムクロックとして出力するものである。

【0042】(第2実施例の動作)： 図8はこの第2実施例のパーソナルコンピュータシステムの動作波形図である。この図8において、図8(a)の電源電圧信号7の変動波形図と、図8(b)の電圧検知情報信号9の波形図とは、上述の第1実施例の図3の図3(a)、

7

(b)と同様である。図 8 (b) の電圧検知情報信号 9 によって、セレクト回路 30 は、図 8 (c) の 5. 0 V 用回路セレクト信号 33 と、図 8 (d) の 3. 3 V 用回路セレクト信号 32 とを生成して、インタフェース/コントロール回路 4 へ与える。

【0043】これらの図 8 (c) の 5. 0 V 用回路セレクト信号 33 と、図 8 (d) の 3. 3 V 用回路セレクト信号 32 とを与えられる 5. 0 V 用インタフェース回路 41 と、3. 3 V 用インタフェース回路 42 と、5. 0 V 用クロックジェネレーション回路 43 のセクタ 81 ~ 83 と、3. 3 V 用クロックジェネレーション回路 44 のセクタ 84 とによって、5. 0 V 用入力と 5. 0 V 用発振信号の出力、又は 3. 3 V 用入力と 3. 3 V 用発振信号の出力が選択される。

【0044】この第 2 実施例では、電源電圧信号 7 が 2 V から 4. 5 V の間は 3. 3 V 用入力と発振回路が選択される。また、4. 5 V 以上では 5. 0 V 用入力と発振回路とが選択されるものである。

【0045】(第 2 実施例の効果) : 以上のような第 2 実施例によれば、セレクト回路 30 を I/O カード 1 A に備えたので、電源電圧信号 7 が電圧変化することによる電圧検知回路 8 で検知して生成した電圧検知情報信号 9 を使用して、セレクト信号 32、33 を生成することによって、電源電圧信号 7 に対する最適な入力インタフェースとクロックジェネレーションを行うことができる効果がある。

【0046】従って、電源電圧信号の変化があっても、I/O カード 1 A の内部回路の状態を安定させ確定させることができるのである。

【0047】これによって、I/O カード 1 A の内部の状態を確定することができるのである。従って、電源電圧信号の変更後は、パーソナルコンピュータ 2 に備えられている CPU は、I/O カード 1 A に対して I/O カード 1 A 内のレジスタや他の内部回路に対して初期値を書き込む必要がないため、CPU の初期設定時間が短縮され、処理負担を軽減できる。

【0048】(他の実施例) : (1) 尚、以上の実施例においては、PCMCIA/JEIDA 準拠の I/O カードとして、フラッシュメモリカードを例にして説明したが、パーソナルコンピュータからの電源電圧信号の供給によって動作する I/O カードとすれば、フラッシュメモリに限定されず、PCMCIA/JEIDA 準拠の I/O カードや IC メモリカードなどに対して適用可能な RAM、ROM その他の電子デバイスを使用することができる。

【0049】(2) また、PCMCIA/JEIDA 準拠の I/O カードを規格化している JEIDA の IC メモリカードガイドラインのバージョンも、バージョン 4. 0 だけでなく、リセット信号とカードコンフィギュレーションレジスタが規格追加されているバージョン

8

4. 1 に適用しても、パーソナルコンピュータの CPU の処理負担を軽減することができるものである。

【0050】(3) 更に、上述の実施例では電源電圧信号として 5. 0 V と 3. 3 V とについて説明したが、電圧検知の電圧レベルを変えることによって、他の電源電圧信号に対しても適用可能である。

【0051】(4) 更にまた、上述の第 2 実施例ではインタフェース回路の入力を例に説明したが、同じセレクト信号を使用すれば出力についても適用可能である。

【0052】(5) また、上述の実施例では、パーソナルコンピュータ 2 をホスト装置として説明したが、ホスト装置としては、他にも様々な装置に適用し得る。例えば、情報処理装置、測定装置、記憶装置、表示装置、プリンタ装置、他などである。

【0053】(6) 更に、ホスト装置と I/O カード又は IC メモリカードとの間はシリアルインタフェース、パラレルインタフェースなどのいずれでも適用し得る。

【0054】(7) 更にまた、接続対象装置としては、I/O カード、IC メモリカードの他、ディスクカード、RAM カード、ROM カード、演算カード、モデムカード、カセット装置、ボード、モジュール、ユニット (例えば、ハードディスクユニット) などの種々のものに適用することができる。

【0055】

【発明の効果】以上述べた様にこの発明の内部状態確定装置は、ホスト装置からの電力供給信号の変化を検知する検知手段と、この検知によって電力供給信号の変化に応じて接続対象装置の内部状態を所定状態に確定させる内部状態確定手段とを備えたことで、ホスト装置から接続対象装置に対する初期供給電圧信号から所定電力信号供給をするまでの間に、接続対象装置の内部状態の確定を簡単な回路で、しかもホスト装置に負担を掛けずに行うことができる。

【図面の簡単な説明】

【図 1】この発明の第 1 実施例のパーソナルコンピュータシステムの機能構成図である。

【図 2】第 1 実施例のリセット回路の詳細回路図である。

【図 3】第 1 実施例のパーソナルコンピュータシステムの動作波形図である。

【図 4】第 2 実施例のパーソナルコンピュータシステムの機能構成図である。

【図 5】第 2 実施例のセレクト回路の機能構成図である。

【図 6】第 2 実施例の 5. 0 V 用インタフェース回路と、3. 3 V 用インタフェース回路の機能構成図である。

【図 7】第 2 実施例の 5. 0 V 用クロックジェネレーション回路と、3. 3 V 用クロックジェネレーション回路の機能構成図である。

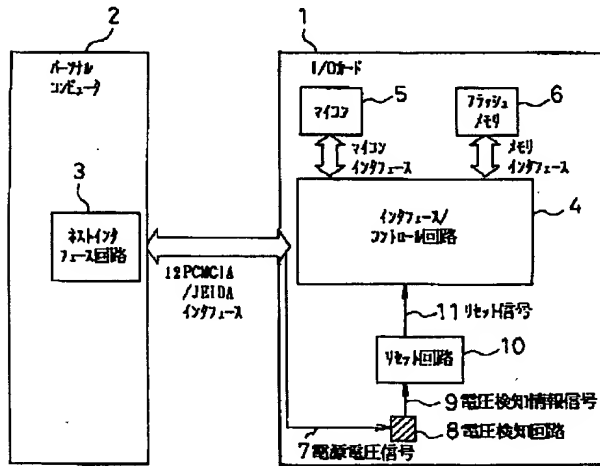
【図 8】第 2 実施例のパーソナルコンピュータシステムの動作波形図である。

【符号の説明】

1…I/Oカード、2…パーソナルコンピュータ、3…ホストインタフェース回路、4…インタフェース/コントローラ回路、5…マイクロコンピュータ、6…フラッシュメモリ、7…電源電圧信号、8…電圧検知回路、9…電圧検知情報信号、10…リセット回路、11…リセット信号。

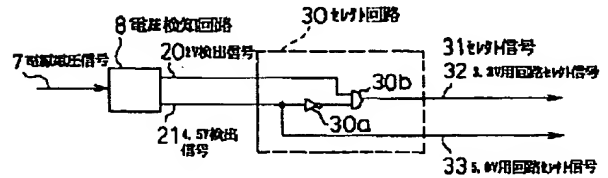
トリプル回路、5…マイクロコンピュータ、6…フラッシュメモリ、7…電源電圧信号、8…電圧検知回路、9…電圧検知情報信号、10…リセット回路、11…リセット信号。

【図 1】



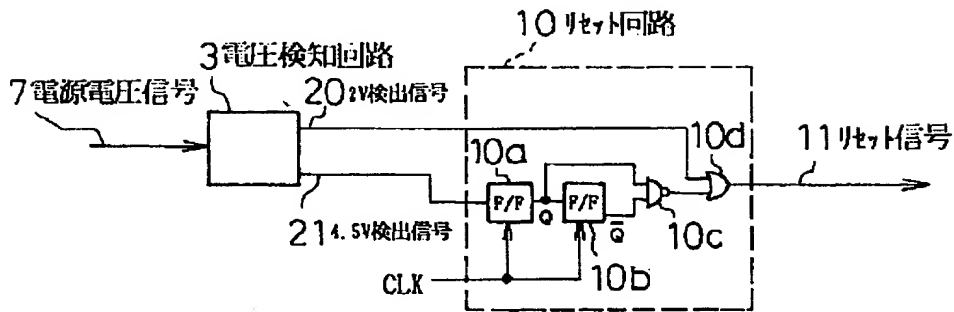
第 1 実施例のシステム構成図

【図 5】



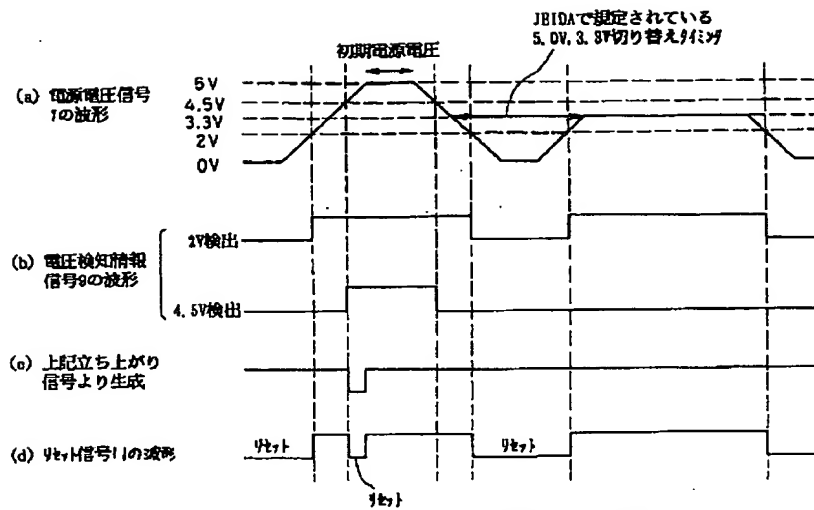
第 2 実施例のリセット回路の構成図

【図 2】



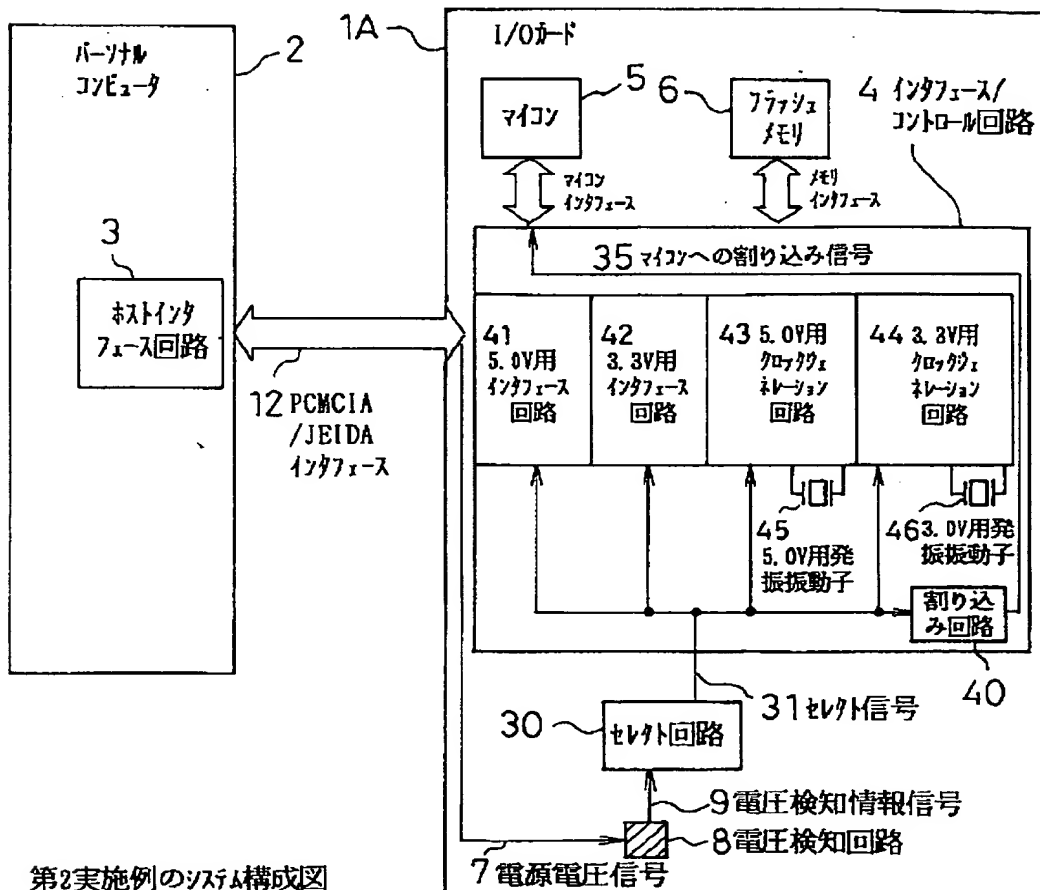
第 1 実施例のリセット回路の構成図

【図 3】



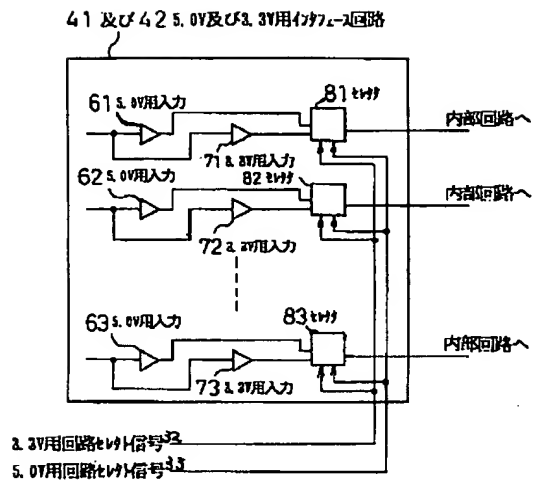
第1実施例の動作波形図

【図 4】



第2実施例のシステム構成図

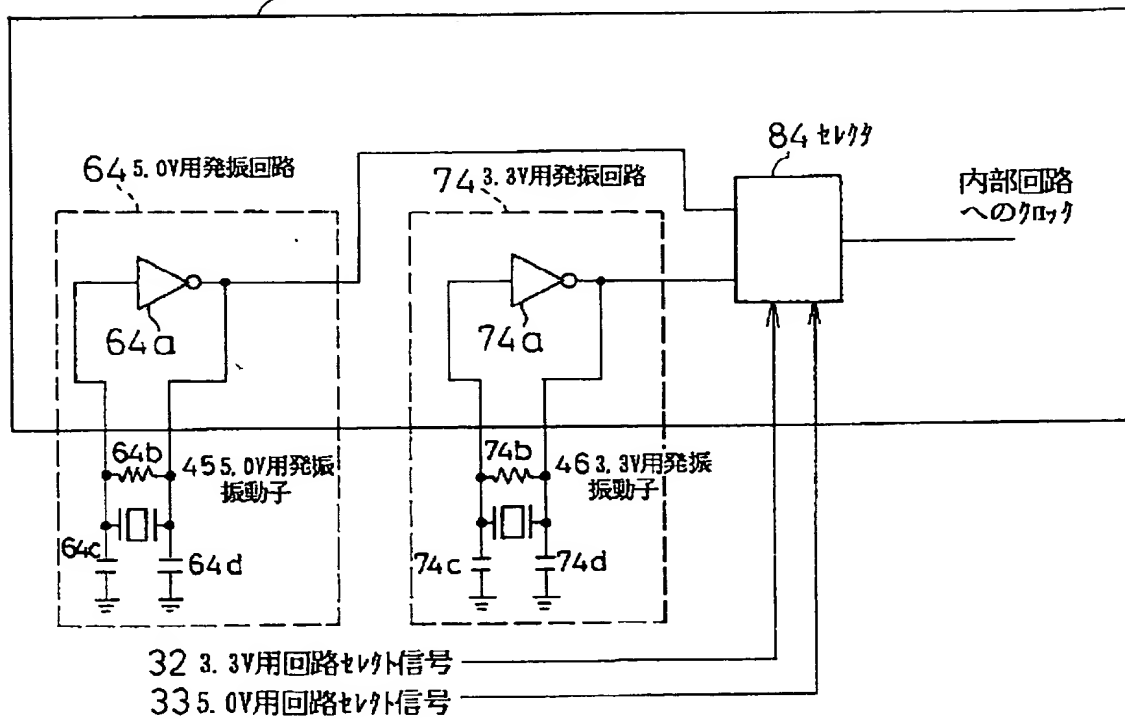
【図 6】



第2実施例のインターフェイス回路の構成図

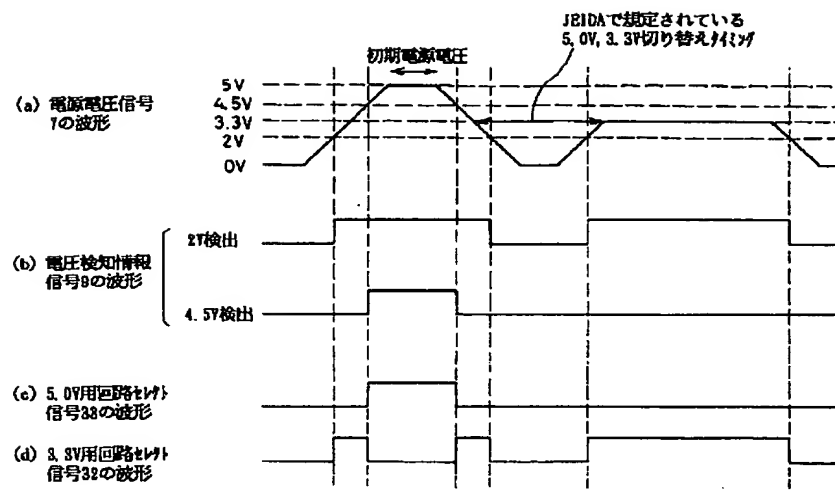
【図 7】

43 及び 44 5.0V 及び 3.3V 用クロック生成回路



第2実施例のクロック生成回路の構成図

【図 8】



第2実施例の動作波形図